JAPAN PATENT OFFICE (JP)

PATENT APPLICATION PUBLICATION

PATENT PUBLICATION OFFICIAL REPORT(A)

SHO63-142807

PUBLICATION: June 15, 1988

THE NUMBER OF INVENTION: 1

INSPECTION CLAIM, NOT CLAIMED (total 4 pages)

Title of the Invention: Method of Fabricating a Semiconductor Device

Application No. : Sho 61-290854

Filed: December 5, 1986

Inventor(s)

Name: Tetsumasa OKAMAOTO

Applicant

Name: NEC Corporation

SPECIFICATION

1. Title of the Invention

Method of Fabricating a Semiconductor Device

2. Scope of Claims

A method of fabricating a semiconductor device comprising the steps of:

forming selectively metal layers comprising palladium, platinum or nickel on a semiconductor substrate:

forming a polycrystalline silicon layer or an amorphous silicon layer having a predetermined conductive type and a predetermined impurity concentration on said metal layers, respectively; and

annealing at a low temperature for a predetermined time for a solid growth; thereby an impurity layer equivalent to a diffusion layer is formed.

3. Detailed Description of Invention

[Field of the Invention]

The present invention relates to a method of fabricating a semiconductor device, particularly relates to a method of forming an impurity layer in fabricating a semiconductor device. More particularly, the present invention relates to a method of forming an impurity layer having a shallow junction without damaging a substrate surface.

[Description of Prior Art]

The conventional method of forming an impurity layer of a semiconductor device comprises the steps of forming a thermal oxidation film or the like on a semiconductor substrate: subsequently pattering said thermal oxidation film by photolithography technique; and thermal diffusing an impurity on said semiconductor substrate using said thermal oxidation film or the like as a mask, or performing an ion implantation.

[Problem to be Solved by the Invention]

According to the conventional method of forming an impurity layer mentioned above, an impurity is equally diffused along both directions of a width direction and a depth direction of a substrate. Therefore, it is difficult to satisfy that a junction depth is required to be shallow corresponding to fineness of device. That is, in accordance with rule of reduction of device, when a diffusion junction depth Xj should be reduced to 1/k whenever a channel length and a channel width of the device are reduced to 1/k. However, with regard to a thermal diffusion, it is impossible to depress only a diffusion speed in the direction of depth, so that it is difficult to realize the shallow junction. In particular, in the case that diffusion coefficient of an impurity is large, it is extremely difficult to depress the junction depth. Further, in ion implantation method, since it is necessary to anneal for a long term in order to recover the damage of a substrate surface, an implanted ion is frequently redistributed, and shallow junction is difficult to obtain as mentioned above.

The object of the present invention is to remove the conventional defect mentioned above and propose a method of fabricating a semiconductor device in which a shallow junction can be easily formed without damaging the surface of the substrate, and also a low temperature treatment

is possible to form an impurity layer which copes with fineness and high integration.

[Means to Solve the Problems]

The method of fabricating a semiconductor device according to the present invention comprising the steps of:

forming selectively metal layers comprising palladium, platinum or nickel on a semiconductor substrate;

forming a polycrystalline silicon layer or an amorphous silicon layer having a predetermined conductive type and a predetermined impurity concentration on said metal layers, respectively;

annealing at a low temperature for a predetermined time for a solid growth, thereby an impurity layer equivalent to a diffusion layer is formed.

[Embodiment of the Invention]

An embodiment of the present invention will be described below referring to drawings.

Figs. 1(a) to (i) shows a cross sectional view of a semiconductor device shown in order of steps to describe an embodiment according to the present invention. According to the present embodiment, a method of forming source and drain diffusion layers of nMOS is described.

First, as shown in Fig. 1(a), a thermal oxidation film (SiO_2) having a predetermined film thickness by thermally oxidizing a P-type silicon substrate 1. Then, as shown in Fig. 1(b), source and drain regions are patterned by a photolithography technique. Next, as shown in Fig. 1(c), a palladium(Pd) layer 3 is formed by vapor deposition method. Then, as shown in Fig. 1(d), a high concentration impurity doped layer 4 of an amorphous silicon layer or a polycrystalline silicon layer doped with phosphorous at a high concentration is deposited by CVD technique. Then, as shown in Fig. 1(e), the high concentration impurity doped layer and the palladium layer except for the source and drain regions are removed by a photolithography technique, and dry etching and wet etching technique. Next, as shown in Fig. 1(f), palladium is evaporated again by a vapor deposition method. As shown in Fig. 1 (g), an impurity doped layer 5 of an amorphous silicon or a polycrystalline silicon in which boron is doped at a predetermined concentration, is subsequently deposited by a CVD method. Then, as shown in Fig. 1(h), the impurity layer and the palladium

layer formed on source and drain regions are removed by a photolithography technique and a dry etching technique. As shown in Fig. 1(i), annealing at a low temperature, for example at 600℃ is performed for a predetermined time, thereby making palladium on a substrate surface palladium silicide. Then, palladium silicide shifts toward the upper portion to perform an epitaxial growth, thereby forming an n^+ impurity layer 7 of drain and n^+ impurity layer 8 of source.

Figs. 2(a) to (e) shows a longitudinal section of a semiconductor device shown in order of steps to describe another embodiment according to the present inveniton.

First, as shown in Fig. 2(a), after forming an n^+ impurity region of source and drain subsequent to the first embodiment step mentioned above, a gate oxidation film , a gate electrode 9, a drain electrode 10, and a source electrode 11 are formed. Then, as shown in Fig. 2(b), an SiO_2 is deposited on a base device (nMOS) by CVD method on which a palladium layer 13 is formed by vapour deposition. Thereafter, as shown in Fig. 2(c), contact holes of source, drain, and gate are formed. Then, an amorphou or a polycrystalline silicon layer doped with an predetermind concetration impurity is formed by a CVD method. Subsequently, low temperature annealing is conducted to perform an epitaxial growth. Then, a palladium silicide layer is removed. The treatment described in the first embodiment is repeated to form an impurity layer of source/drain, thereby obtainng a structure shown in Fig. 2(d).

Then, as shown in Fig. 2(e), a gate located on a second stage is finally formed for wiring, thereby realizing an LSI having the second stage structure.

Such the treatment is conducted in the chip size, thereby a three dimentional LSI or an integration level can be improved.

It is noted that palladium is used as a metal for solid growth in the above embodiment, however, platinum or nickel may be used in place of palladium.

[Effect of the Invention]

According to the present invention as described above, a metal layer comprising palladium, platinum, or nickel are selectively formed on a semiconductor substrate by a CVD method and a photolithgraphy technique. An amorphous or polycrystalline silicon layer on which an objective impurity is doped is deposited on said metal layer, and then epitaxial growth is

performed at a low temperature by a solid phase growth method, thereby an impurity layer equivalent to the conventional impurity diffusion layer can be formed. Therefore, the present invention is effective to form an impurity layer which copes with fineness and high integration by treating at a low temperature as well as easily forming a shallow junction with no specific damage on the substrate surface.

4. Brief Description of the Drawings

Figs. 1(a) to (i) shows a cross sectional view of a semiconductor device shown in order of steps to describe an embodiment of the present invention; and

Figs. 2(a) to (c) show a cross sectional view of another embodiment of the present invention.

1 ---- p-type semiconductor substrate

2 ---- thermal oxidation film

3 ---- palladium film

4 ---- high concentration impurity doped layer (phosphorus)

5 ---- impurity doped layer (boron)

6 ---- palladium silicide

7 ---- n^+ impurity layer (drain)

8 ---- n^+ impurity layer (source)

9 ---- gate electrode

10 ---- drain electrode

11 ---- source electrode

12 ---- gate oxidation film

13 ---- palladium layer

14 ---- source contact hole

15 ---- gate contact hole

16 ---- drain contact hole

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
007573964 **Image available**
WPI Acc No: 1988-207896/198830
Impurity layer formation with shallow junction in semiconductor - by epitaxially growing impurity doped amorphous silicon layer deposited on palladium, platinum, etc. NoAbstract Dwg 1/2
Patent Assignee: NEC CORP (NIDE)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 63142807	A	19880615	JP 86290854	A	19861205	198830	B

Priority Applications (No Type Date): JP 86290854 A 19861205
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 63142807	A		2		

Title Terms: IMPURE; LAYER; FORMATION; SHALLOW; JUNCTION; SEMICONDUCTOR; EPITAXIAL; GROW; IMPURE; DOPE; AMORPHOUS; SILICON; LAYER; DEPOSIT; PALLADIUM; PLATINUM; NOABSTRACT
Derwent Class: L03; U11; U12; U13
International Patent Class (Additional): H01L-021/20; H01L-027/00; H01L-029/78
File Segment: CPI; EPI

⑲日本国特許庁（JP）　　⑪特許出願公開

⑫公開特許公報（A）　　昭63－142807

⑤Int.Cl.⁴　　識別記号　　庁内整理番号　　㊸公開　昭和63年(1988) 6月15日

H 01 L 21/20		7739－5F	
21/324			
27/00	301	R－8122－5F	
29/78	301	Z－8422－5F	審査請求 未請求 発明の数 1 （全4頁）

㉔発明の名称　半導体装置の製造方法

㉑特　願　昭61－290854

㉒出　願　昭61(1986)12月5日

㉒発明者　岡本　哲昌　東京都港区芝5丁目33番1号　日本電気株式会社内

㉑出願人　日本電気株式会社　東京都港区芝5丁目33番1号

㉔代理人　弁理士 内原　晋

明細書

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体基板上に選択的にパラジウム又は白金又はニッケルの金属層を形成し該金属層に重ねてそれぞれに所望の導電型と不純物濃度を有する多結晶シリコン層又はアモルファスシリコン層を形成すう工程と、低温で所定時間アニールし固相成長させる工程とを含み拡散層と同等な不純物層を形成することを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に半導体装置の製造方法における不純物層の形成方法に関し、更に詳しくは基板表面ダメージがなく浅い接合の不純物層を形成する方法に関する。

〔従来の技術〕

従来、半導体装置の不純物層を形成するための方法としては、半導体基板上に熱酸化膜等を形成た後にこれをフォトリソグラフィ技術によってパターニングされた熱酸化膜等をマスクにして半導体基板に不純物を熱拡散し、或いはイオン注入する等の方法が採用されている。

〔発明が解決しようとする問題点〕

上述した従来の不純物層の形成方法では、不純物は基板の幅方向および深さ方向の両方にほぼ等しく拡散されるため、デバイスの微細化に対応して接合深さを浅く形成したい場合に、これを満足することができない。即ち、デバイスの縮小則に従えば、拡散接合深さXjはデバイスのチャンネル長および幅が1／Kに微細化されるときには、これとともに1／Kに縮小されなければならないが熱拡散では深さ方向の拡散速度のみを抑制することは不可能であり浅い接合を実現することは困難である。特に、不純物の拡散係数が大きい場合には、接合深さの抑制は極めて困難である。また、

イオン注入法では、基板表面のダメージを回復させるために長時間のアニールを必要としているので注入イオンの再分布が著しくなり、前述と同様に浅い接合を得ることは難しい。

本発明の目的は、上述した従来の欠点を除去し、基板表面にダメージを生じさせることなく、浅い接合を容易に形成でき、しかも低温処理を可能にし微細化及び高集積化に対応する不純物層が形成できる半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板上に選択的にパラジウム又は白金又はニッケルの金属層を形成し該金属層に重ねてそれぞれ所望の導電型と不純物濃度を有する多結晶シリコン層又はアモルファスシリコン層を形成する工程と、低温で所定時間アニールし固相成長させる工程とを含み拡散層と同等の不純物層を形成することを特徴として構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。第1図（a）～（i）は本発明の一実施例を説明するために工程順に示した半導体素子の縦断面図である。本実施例ではｎＭＯＳのソース・ドレイン拡散層の形成方法につき説明する。

まず、第1図（a）に示すように、Ｐ型シリコン基板1を熱酸化して所定の膜厚を有する熱酸化膜（SiO_2）を形成する。次に、第1図（b）に示すように、フォトリソグラフィ技術によりソース及びドレイン領域のパターニングを行なう。次に、第1図（c）に示すように蒸着方法によりパラジウム（Ｐｄ）層3を形成する。次に、第1図（d）に示すように、高濃度にリンをドープしたアモルファスシリコン層又は多結晶シリコンの高濃度不純物ドープ層4をＣＶＤ技術により堆積する。次に、第1図（e）に示すように、フォトリソグラフィ技術及びドライ並びにウェットエッチング技術によりソース・ドレイン領域以外の高濃度不純物ドープ層及びパラジウム層を除去する。次に、第1図（f）に示すように、蒸着方法によりパラジウムを再蒸着する。次に、第1図（g）に示すように、所要の濃度にホウ素をドープしたアモルファスあるいは多結晶シリコンの不純物ドープ層5をＣＶＤ法により堆積させる。次に、第1図（h）に示すように、フォトリソグラフィ技術とドライエッチング技術により、ソース・ドレイン領域上の不純物層及びパラジウム層を除去する。次に、第1図（i）に示すように、低温例えば600℃で所定時間アニールすれば基板表面のパラジウムがパラジウムシリサイドとなり、上部へ移動し、エピタキシャル成長が行われ、ドレインのn^+不純物層7およびソースのn^+不純物層8が形成される。

第2図（a）～（e）は本発明の他の実施例を説明するために工程順に示した半導体素子の縦断面図である。

まず、第2図（a）に示すように、上記した第1の実施例の工程を経てソース及びドレインのn^+不純物領域を形成した後、ゲート酸化膜、ゲート電極9、ドレイン電極10、ソース電極11を形成する。次に、第2図（b）に示すように、下地の素子（ｎＭＯＳ）上にＣＶＤ法によりSiO_2を堆積させ、その上に蒸着によりパラジウム層13を形成する。次に、第2図（c）に示すように、ソース、ドレイン、ゲートのコンタクトホールを形成し、次いで、ＣＶＤ法により所定の濃度の不純物をドープしたアモルファスあるいは多結晶シリコン層を形成する。続いて低温アニールを行ない、エピタキシャル成長させる。次いで、パラジウムチリサイド層を除去する。次に、第1の実施例で述べた処理を繰り返し、ソースドレインの不純物層を形成すると第2図（d）の構造が得られる。

次に、第2図（e）に示すように、最後に2段目のゲートを形成し、配線することにより、2段構造のＬＳＩが実現できる。

このような処理をチップサイズで行うことによって、3次元ＬＳＩあるいは集積度を向上させることができる。

なお、上記実施例では固相成長させるための金属としてパラジウムを用いたがパラジウムに代え、白金又はニッケルを用いてもよい。

〔発明の効果〕

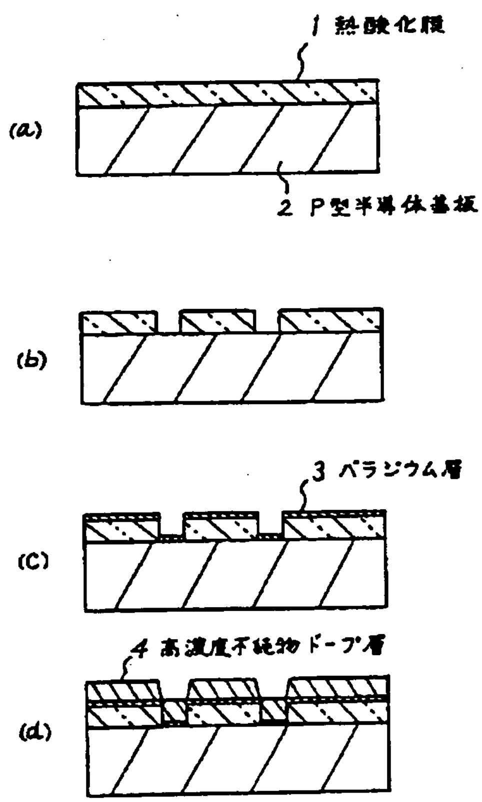
以上説明したように本発明は、ＣＶＤ法とフォトリソグラフィ技術によって半導体基板上に選択的に形成されたパラジウム又は白金又はニッケルの金属層上に目的とした不純物をドープしたアモルファスあるいは多結晶シリコン層を堆積させ、固相成長法によって低温でエピタキシャル成長することにより、従来の不純物拡散層と同等なものを形成させることができるので、特に基板に表面ダメージを生じさせることなく浅い接合を容易に形成できることに加え、低温で処理されることにより、微細化及び高集積化に対応する不純物層を形成することができる効果がある。

図面の簡単な説明

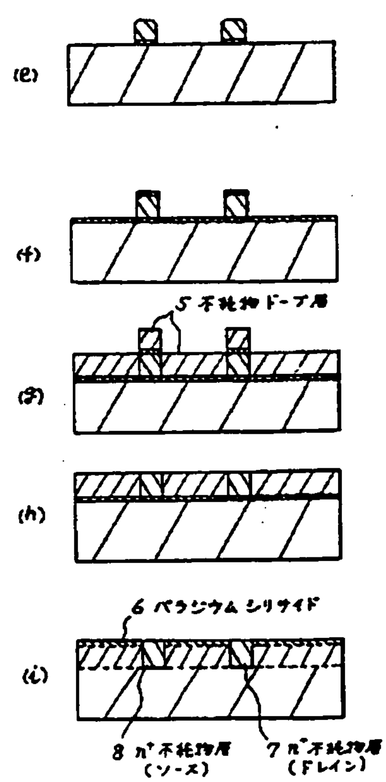
第１図（ａ）～（ｉ）は本発明の一実施例を説明すうために工程順に示した半導体素子の縦断面図，第２図（ａ）～（ｅ）は本発明の他の実施例の縦断面図である。

１…Ｐ型半導体基板、２…熱酸化膜、３…パラジウム膜、４…高濃度不純物ドープ層（リン）、５…不純物ドープ層（ホウ素）、６…パラジウムシリサイド、７…n^+不純物層（ドレイン）、８…n^+不純物層（ソース）、９…ゲート電極、１０…ドレイン電極、１１…ソース電極、１２…ゲート酸化膜、１３…パラジウム層、１４…ソースコンタクトホール、１５…ゲートコンタクトホール、１６…ドレインコンタクトホール。

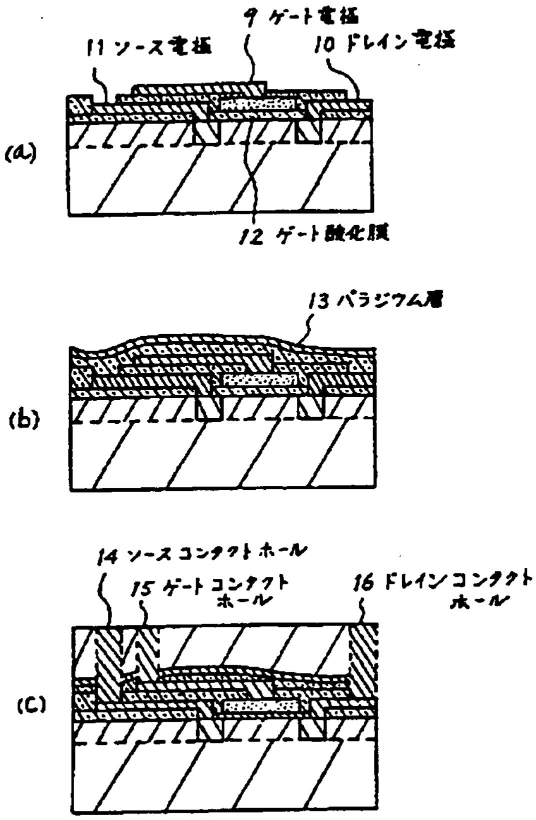
代理人 弁理士 内原 晋



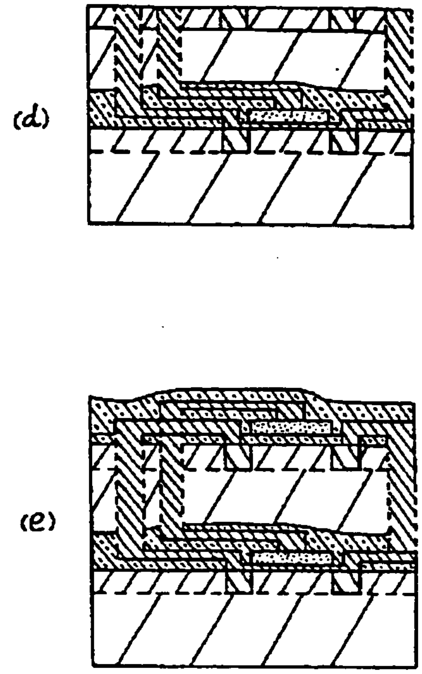
第１図



第１図


9 ゲート電極
11 ソース電極
10 ドレイン電極
(a)
12 ゲート酸化膜
13 パラジウム層
(b)
14 ソースコンタクトホール
15 ゲートコンタクトホール
16 ドレインコンタクトホール
(C)

第2図


(d)
(e)

第2図